

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-321545

(43)Date of publication of application : 03.12.1996

(51)Int.Cl.

H01L 21/768
H01L 21/28
H01L 21/28
H01L 21/3065
H01L 21/3205

(21)Application number : 07-149457 (71)Applicant : YAMAHA CORP

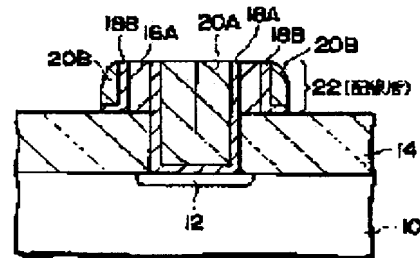
(22)Date of filing : 24.05.1995 (72)Inventor : TAWARA TAKASHI

(54) WIRING FORMING METHOD

(57)Abstract:

PURPOSE: To relieve wiring step-difference by a small number of processes, in a wiring forming method using a blanket CVD method.

CONSTITUTION: After a wiring material layer like Al alloy is formed on an insulating film 14 covering the surface of a substrate 10, a connection hole corresponding to a part 12 to be connected is formed in the laminate of the insulating film 14 and the wiring material layer. After the wiring material layer is patterned, a contact layer like TiN is formed on the insulating film 14, so as to cover the residual part 16A of the wiring material layer and the inside of the connection hole. After a conductive material layer like W is formed on the contact layer so as to fill the connection hole by a blanket CVD method, the conductive material layer and the contact layer are etched back. Hence a wiring layer 22 containing the residual part 16A of the wiring material layer, the residual parts 18A, 18B of the contact layer and the residual parts 20A, 20B of the conductive material layer is formed. The wiring step-difference is relieved by leaving the residual parts 18B, 20B on the side wall of the residual part 16A.



LEGAL STATUS

(43)公開日 平成8年(1996)12月3日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/768			H 0 1 L 21/90	C
21/28			21/28	F
	3 0 1			3 0 1 R
21/3065			21/302	F
21/3205			21/88	B
審査請求 未請求 請求項の数 2 F D (全 8 頁)				最終頁に続く

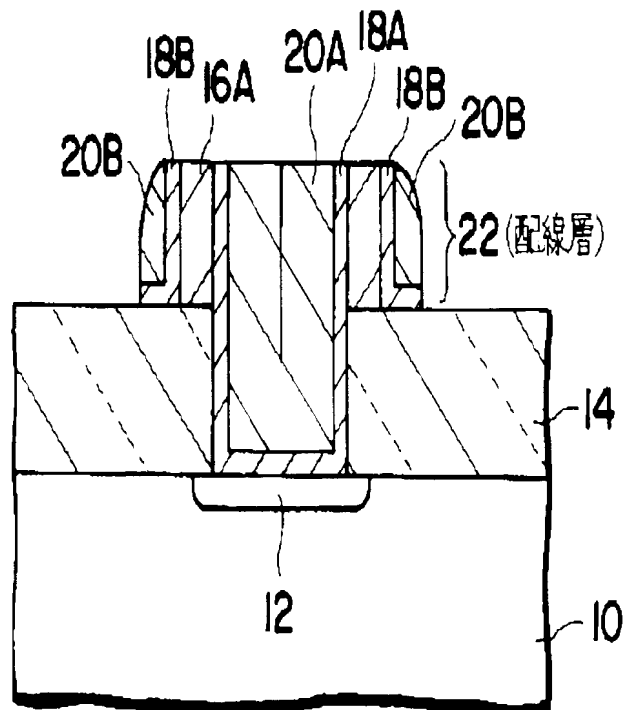
(74)代理人 弁理士 伊沢 敏昭

(54) 【発明の名称】 配線形成法

(57) 【要約】

【目的】 プランケットCVD法を用いる配線形成法において、少ない工程数で配線段差の緩和を可能にする。

【構成】 基板 10 の表面を覆う絶縁膜 14 の上に A1 合金等の配線材層を形成した後、被接続部 12 に対応する接続孔を絶縁膜 14 及び配線材層の積層に形成する。配線材層をパターニングした後、絶縁膜 14 の上に配線材層の残部 16A 及び接続孔の内部を覆って TiN 等の密着層を形成する。フランクセット CVD 法により接続孔を埋めるように密着層の上に W 等の導電材層を形成した後、該導電材層及び密着層をエッチバックして配線材層の残部 16A と、密着層の残部 18A、18B と、導電材層の残部 20A、20B とを含む配線層 22 を形成する。残部 16A の側壁に残部 18B、20B を残すことで配線段差が緩和される。



【特許請求の範囲】

【請求項1】基板上に被接続部を覆って絶縁膜を形成する工程と、

前記絶縁膜の上に配線材層を形成する工程と、

前記絶縁膜及び前記配線材層の積層に前記被接続部に対応する接続孔を形成する工程と、

前記配線材層を所望の配線パターンに従ってパターンニングすることにより前記配線材層の一部を少なくとも前記接続孔の周辺部に残す工程と、

前記絶縁膜の上に前記配線材層の残部及び前記接続孔の内部を覆って密着層を形成する工程と、

前記接続孔を埋めるように前記密着層の上に導電材層を形成した後該導電材層及び前記密着層をエッチバックすることにより配線層を形成する工程であって、該配線層は、前記接続孔の周辺部に残された前記配線材層の残部と、前記接続孔を埋めるように残された前記密着層の第1の残部及び前記導電材層の第1の残部と、前記配線材層の残部の側壁に段差を緩和するように残された前記密着層の第2の残部及び前記導電材層の第2の残部とを備えているものを含む配線形成法。

【請求項2】基板上に被接続部を覆って絶縁膜を形成する工程と、

前記絶縁膜の上に配線材層を形成する工程と、

前記配線材層の上に反射防止層を形成する工程と、

ホトリソグラフィ及び選択エッチング処理により前記反射防止層、前記配線材層及び前記絶縁膜を貫通して前記被接続部に達する接続孔を形成する工程と、

ホトリソグラフィ及び選択エッチング処理により前記配線材層及び前記反射防止層の積層をパターンニングすることにより該積層の一部を少なくとも前記接続孔の周辺部に残す工程と、

前記絶縁膜の上に前記積層の残部及び前記接続孔の内部を覆って密着層を形成する工程と、

前記接続孔を埋めるように前記密着層の上に導電材層を形成した後該導電材層及び前記密着層をエッチバックすることにより配線層を形成する工程であって、該配線層は、前記接続孔の周辺部に残された前記積層の残部と、

前記接続孔を埋めるように残された前記密着層の第1の残部及び前記導電材層の第1の残部と、前記積層の残部の側壁に段差を緩和するように残された前記密着層の第2の残部及び前記導電材層の第2の残部とを備えているものを含む配線形成法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、プラズマCVD（ケミカル・ベーパー・デポジション）法によりW（タングステン）等の金属で接続孔を埋める配線形成法に関し、特に接続孔形成及び配線パターンニングを終えた配線材層にプラズマCVD及びエッチバック処理を施すことにより少ない工程数で配線段差の緩和を可能にした

ものである。

【0002】

【従来の技術】従来、プラズマCVD法を用いる配線形成法としては、図16～20に示すものが知られている。

【0003】図16の工程では、Si等の半導体基板10の表面に被接続部としての不純物ドーパ領域12を形成した後、基板表面に領域12を覆って絶縁膜14を形成する。そして、絶縁膜14に領域12に対応する接続孔を形成した後、絶縁膜14の上に接続孔の内部を覆うようにT1層にT1N又はT1ON層を重ねた密着層15を形成する。この後、プラズマCVD法により接続孔を埋めるように密着層15の上にW層17を形成する。密着層15は、絶縁膜14に対するW層17の密着性を改善するためのものであるが、W層17が基板S1と反応するのを防ぐバリア層としても役立つ。

【0004】次に、図17の工程では、絶縁膜14上で密着層15が露呈するまでW層17をエッチバックすることによりW層17の一部をプラグ17Aとして接続孔内に残す。

【0005】図18の工程では、基板表面にプラグ17A及び密着層15を覆ってA1合金層19を形成する。そして、図19の工程では、A1合金層19の上にT1N又はT1ON等の反射防止層21を形成する。反射防止層21は、配線パターンニングの際のホトリソグラフィ処理でA1合金層19からの光反射を抑制することでレジスト層へのパターン転写の精度を向上させるものである。

【0006】次に、図20の工程では、密着層15、A1合金層19及び反射防止層21の積層を所望の配線パターンに従ってパターンニングすることにより密着層15の残部15Aと、プラグ17Aと、A1合金層19の残部19Aと、反射防止層21の残部21Aとからなる配線層23を形成する。

【0007】

【発明が解決しようとする課題】上記した従来技術によると、次の（イ）～（バ）のような問題点がある。

【0008】（イ）図21（A）は、図20の配線層23と同様にして形成された配線層23A、23Bを覆ってシリコンオキサイド等の層間絶縁膜25をCVD法で形成した状態を示すものである。配線層23A、23Bの側壁で段差が急峻であるため、絶縁膜25にオーバーハング部Pが形成される。配線段差を緩和するため、配線の側壁にサイドスパーサ（又はサイドウォール）を形成する技術が提案されている。この技術は、配線層を覆って絶縁膜を形成した後異方性エッチングにより該絶縁膜をエッチバックして配線層の側壁にサイドスパーサを残すもので、図16～20の従来技術に適用すると、工程数の増大を招く。

【0009】（ロ）配線層23A、23BのようにA1

又はA1合金からなる配線層では、配線形成後の熱処理等によりヒロック（表面突起）が発生し、近傍の配線との間に短絡が生ずることがある。このようなヒロック発生を防ぐため、CVD法により配線層の上面及び側面を覆ってW膜を形成する技術が提案されている（例えば、特開昭62-291948号公報参照）。このような技術を図16～20の従来技術に適用すると、工程数の増大を招く。

【0010】ハ、T1合金/A1合金/T1合金のサンドイッチ構造は、配線エッチング後にコローションが発生しやすい。

【0011】この発明の目的は、上記のような問題点を解決することのできる新規な配線形成法を提供することにある。

【0012】

【課題を解決するための手段】この発明に係る第1の配線形成法は、基板上に被接続部を覆って絶縁膜を形成する工程と、前記絶縁膜の上に配線材層を形成する工程と、前記絶縁膜及び前記配線材層の積層に前記被接続部に対応する接続孔を形成する工程と、前記配線材層を所望の配線パターンに従ってパターンニングすることにより前記配線材層の一部を少なくとも前記接続孔の周辺部に残す工程と、前記絶縁膜の上に前記配線材層の残部及び前記接続孔の内部を覆って密着層を形成する工程と、前記接続孔を埋めるように前記密着層の上に導電材層を形成した後該導電材層及び前記密着層をエッチバックすることにより配線層を形成する工程であって、該配線層は、前記接続孔の周辺部に残された前記配線材層の残部と、前記接続孔を埋めるように残された前記密着層の第1の残部及び前記導電材層の第1の残部と、前記配線材層の残部の側壁に段差を緩和するように残された前記密着層の第2の残部及び前記導電材層の第2の残部とを備えているものを含むものである。

【0013】また、この発明に係る第2の配線形成法は、基板上に被接続部を覆って絶縁膜を形成する工程と、前記絶縁膜の上に配線材層を形成する工程と、前記配線材層の上に反射防止層を形成する工程と、ホトリソグラフィ及び選択エッチング処理により前記反射防止層、前記配線材層及び前記絶縁膜を貫通して前記被接続部に達する接続孔を形成する工程と、ホトリソグラフィ及び選択エッチング処理により前記配線材層及び前記反射防止層の積層をパターンニングすることにより該積層の一部を少なくとも前記接続孔の周辺部に残す工程と、前記絶縁膜の上に前記積層の残部及び前記接続孔の内部を覆って密着層を形成する工程と、前記接続孔を埋めるように前記密着層の上に導電材層を形成した後該導電材層及び前記密着層をエッチバックすることにより配線層を形成する工程であって、該配線層は、前記接続孔の周辺部に残された前記積層の残部と、前記接続孔を埋めるように残された前記密着層の第1の残部及び前記導電材層

の第1の残部と、前記積層の残部の側壁に段差を緩和するように残された前記密着層の第2の残部及び前記導電材層の第2の残部とを備えているものを含むものである。

【0014】

【作用】上記した第1の配線形成法によれば、導電材層及び密着層をエッチバックする工程において、密着層の第1の残部及び導電材層の第1の残部が導電プラグとして接続孔内に残されると共に、密着層の第2の残部及び導電材層の第2の残部が配線材層の残部の側壁に段差緩和部として残される。従って、配線層としては、接続孔が導電プラグで埋められ且つ側壁に段差緩和部を有するものが得られる。また、配線層が得られるまでの工程数は、配線パターンニング前に反射防止層の形成工程を追加しても、図16～20の従来技術と同程度である。さらに、配線材層がA1又はA1合金からなる場合には、配線材層の残部の側壁がTiN等の密着層の残部及びW等の導電材層の残部で被覆されるので、ヒロック発生が抑制される。

【0015】上記した第2の配線形成法によれば、第1の配線形成法と同様に導電プラグ及び段差緩和部を有し且つヒロック発生が抑制された配線層を少ない工程数で形成することができる。また、配線パターンニング前に反射防止層の形成工程を追加したので、パターンニング精度が向上すると共に、配線材層がA1又はA1合金からなる場合には配線材層の残部の上面もTiN等の反射防止層の残部で被覆されるようになり、ヒロック発生が一層抑制される。さらに、配線パターンニング時にエッチングされる積層は、T1合金/A1合金のような2層構造であるため、従来のT1合金/A1合金/T1合金のような3層構造に比べて配線エッチング後にコローションが発生しにくい。

【0016】

【実施例】図1～8は、この発明の一実施例に係る配線形成法を示すもので、各々の図に対応する工程（1～8）を順次に説明する。

【0017】（1）Siからなる半導体基板10の表面に周知の選択的n純物ドーピング処理によりN⁺型又はP⁺型のn純物ドーピング領域（被接続部）12を形成した後、基板表面にCVD法によりシリコンオキシサイド又はシリコンナイトライド等の絶縁膜14を形成する。

【0018】（2）次に、絶縁膜14の上に配線材層としてA1合金層16をスパッタ法により形成する。必要に応じてA1合金層16の上にTiN、TiON等の反射防止層を堆積してもよい。また、A1合金層16の代りにA1層を用いてもよい。

【0019】（3）ホトリソグラフィ及びドライエッチング処理により絶縁膜14及びA1合金層16の積層にn純物ドーピング領域12に対応する接続孔14aを形成する。ドライエッチング処理では、レジスト層（図示せ

ず、をマスクとして用いると共に、A1合金層16のエッチングには塩素系ガス（例えばC12+BC13）を用い、絶縁膜14のエッチングにはフッ素系ガス（例えばCF4+CHF3+Ar）を用いるとよい。エッチングの後、酸素を主体とするガスによるアニッシングを行なった後有機溶剤による洗浄処理を行なうことによりレジスト層を除去する。

【0020】接続孔14aを形成するための他の方法としては、レジスト層をマスクとする選択エッチング処理によりA1合金層16に第1の接続孔を形成した後レジスト層を除去し、A1合金層16をマスクとする選択エッチング処理により絶縁膜14に第2の接続孔を形成する方法を用いてもよい。この方法では、第1及び第2の接続孔により接続孔14aが形成される。エッチングマスクとしてA1合金層16のような導電性のものを用いると、マスクのチャージアップによる小さな開口部でのエッチング速度の低下（マイクロローディング効果）を低減することかできる。例えば、M. Sato, et. al. Jpn. J. Appl. Phys. Vol. 31 (1992) Part1, No. 128参照。

【0021】（4）基板上面に所望の配線パターンに従ってホトリソグラフィ処理によりレジスト層（図示せず）を形成した後、該レジスト層をマスクとする選択的ドライエッチング処理によりA1合金層16をパターンニングしてA1合金層16の一部16Aを接続孔14aの周辺部から所望の長さだけ延長するように残す。エッチング処理では、塩素系ガス（例えばC12+BC13）を用いるとよい。エッチングの後、前述したと同様にしてレジスト層を除去する。

【0022】（5）絶縁膜14の上にA1合金層16の残部16A及び接続孔14aの内部を覆ってバリア層及び密着層に兼用のTiN層18をCVD法又はスパッタ法等により形成する。TiN層18の下にはTi層を敷いてもよい。また、TiN層18の代わりにTiON層、TiW層、WSi層等を用いてもよい。

【0023】（6）TiN層18の上に接続孔14aを埋めるようにプラズマCVD法によりW層20を形成する。

【0024】（7）塩素系ガスを主体とするガス（例えばC12+O2、C12+N2、C12+SF6、C12+Ar）又はフッ素系ガス（例えばSF6、NF3）を主体とするガスのプラズマを用いる異方性エッチングによりW層20をTiN層18が露出するまでエッチバックし、W層20の第1の部分20Aを接続孔14a内に残すと共にW層20の第2の部分20BをA1合金層16の残部16Aの側部に残す。

【0025】（8）塩素系ガスのプラズマを用いる異方性エッチングによりTiN層18及びW残部20Bを絶縁膜14が露出するまでエッチバックし、TiN層18の第1の部分18Aを接続孔14a内に残すと共にTi

N層18の第2の部分18BをA1合金層16の残部16Aの側部に残す。エッチング処理では、図7の工程で用いた塩素を主体とするガス系の他にC12+BC13を用いてもよい。図7、8の工程は、同一のエッチング装置あるいは同一のエッチング室内で一貫して処理することかできる。

【0026】図1～8の実施例によれば、接続孔14aの周辺部に残されたA1合金層16の残部16Aと、接続孔14aを埋める導電プラグとして残されたTiN層18の第1の残部18A及びW層20の第1の残部20Aと、残部16Aの側部に段差緩和部として残されたTiN層18の第2の残部18B及びW層20の第2の残部20Bとを備えた配線層22が得られる。このような配線層を得るために必要な工程数は、図2の工程でA1合金層16の上に反射防止層を形成したとしても、図16～20の従来技術と同じである。

【0027】図8の配線構造によれば、配線層22に残部18B、20Bからなる段差緩和部が設けられているため、図21（B）に示すように配線層22A、22Bを覆ってシリコンオキサイド等の層間絶縁膜26をCVD法で形成した場合、絶縁膜26に図21（A）で述べたようなオーバーハング部が形成されず、段差被覆性が良好となる。図21（B）において、22A、22Bは、配線層22と同様に形成された配線層、16a、16bは、A1合金層16の残部である。

【0028】配線層22、22A、22Bは、いずれも側部がTiN等の密着層の残部18B及びW等の導電材層の残部20Bの2重層で被覆されている。このため、ヒロック発生が抑制される利点もある。

【0029】図9～15は、この発明の他の実施例に係る配線形成法を示すものである。この実施例が図1～8の実施例と異なる点は、配線パターンニングの前に反射防止層の形成工程を追加し、反射防止層の残部で配線材層の残部の上面を被覆するようにしたことである。

【0030】図9の工程では、図1、2で述べたと同様にして基板10の表面に不純物ドーパ領域12、絶縁膜14及びA1合金層16を形成した後、A1合金層16の上に反射防止層としてTiN又はTiON層24を形成する。

【0031】図10の工程では、図3の述べたと同様にしてTiN層24、A1合金層16及び絶縁膜14を貫通して不純物ドーパ領域（被接続部）12に達する接続孔14aを形成する。そして、図11の工程では、図4で述べたと同様にしてA1合金層16及びTiN層24の積層を所望の配線パターンに従ってパターンニングし、A1合金層16の一部16A及びTiN層24の一部24Aを少なくとも接続孔14aの周辺部に残す。

【0032】次に、図12の工程では、図5で述べたと同様にして絶縁膜14の上にA1合金層16の残部16A、TiN層24の残部24A及び接続孔14aの内部

を覆ってバリア層兼密着層としてのTiN層18を形成する。そして、図13の工程では、図4で述べたと同様に接続孔14aを埋めるようにTiN層18の上にW層20を形成する。この後、図14、15の工程では、図7、8で述べたと同様にW層20及びTiN層18を異方性エッチングによりエッチバックして配線層22を形成する。

【0033】図9～15の実施例によれば、A1合金層16の残部16Aの上面がTiN層24の残部24Aで覆われている点だけが図8の配線層と異なる配線層22が得られる。そして、このような配線層を得るために必要な工程数は、図16～20の従来技術と同じである。

【0034】図10、11の工程において、ホトリソグラフィ処理によりレジスト層を形成する際には、TiN層24のような反射防止層を設けたことでレジスト層へのパターン転写の精度が向上する。また、図11の配線パターンニング工程では、Ti合金/A1合金の2層をエッチングするので、Ti合金/A1合金/Ti合金の3層をエッチングするのに比べてエッチング後にコロレーションが発生しない。

【0035】図15の配線構造によると、図8の配線構造と同様の作用効果が得られる他、A1合金層16の残部16Aの上面もTiN層24の残部24Aで覆ったことでヒロック発生を一層抑制できる利点がある。

【0036】図21～Bにおいて、図15の配線層22と同様に形成される配線層22A、22Bは、A1合金層16の残部16a、16bの上面がTiN層24の残部24a、24bで被覆される点だけが図8の配線層と同様に形成される配線層と異なる。従って、図15の配線層22と同様に形成される配線層であっても、絶縁膜26で被覆すると段差被覆性が良好となる。

【0037】なお、この発明は、上記実施例に限定されるものではなく、多層配線形成において2層目以上の配線にも適用可能である。例えば、上下の2層配線のうち上層配線にこの発明を適用することかでき、この場合には、下層配線の一部が被接続部となる。

【0038】

【発明の効果】以上のように、この発明によれば、A1又はA1合金等の配線材層に接続孔形成及び配線パターンニングの処理を施した後TiN等の密着層の形成、W等の導電材層の形成及び該導電材層のエッチバックを行なうようにしたので、導電プラグ及び段差緩和部を有し且つヒロック発生が抑制された配線層を簡単に形成可能となる効果が得られる。

【0039】その上、配線パターンニング前に反射防止層を形成すると、パターンニング精度が向上すること、ヒロック発生を一層抑制できること、コロレーション発生の抑制により配線の信頼性が向上することなどの効果も得ら

れる。

【図面の簡単な説明】

【図1】 この発明の一実施例に係る配線形成法における絶縁膜形成工程を示す基板断面図である。

【図2】 図1の工程に続くA1合金層形成工程を示す基板断面図である。

【図3】 図2の工程に続く接続孔形成工程を示す基板断面図である。

【図4】 図3の工程に続く配線パターンニング工程を示す基板断面図である。

【図5】 図4の工程に続くTiN層形成工程を示す基板断面図である。

【図6】 図5の工程に続くW層形成工程を示す基板断面図である。

【図7】 図6の工程に続くW層エッチバック工程を示す基板断面図である。

【図8】 図7の工程に続くTiN層及びW層のエッチバック工程を示す基板断面図である。

【図9】 この発明の他の実施例に係る配線形成法におけるTiN層形成工程を示す基板断面図である。

【図10】 図9の工程に続く接続孔形成工程を示す基板断面図である。

【図11】 図10の工程に続く配線パターンニング工程を示す基板断面図である。

【図12】 図11の工程に続くTiN層形成工程を示す基板断面図である。

【図13】 図12の工程に続くW層形成工程を示す基板断面図である。

【図14】 図13の工程に続くW層エッチバック工程を示す基板断面図である。

【図15】 図14の工程に続くTiN層及びW層のエッチバック工程を示す基板断面図である。

【図16】 従来の配線形成法におけるW層形成工程を示す基板断面図である。

【図17】 図16の工程に続くW層エッチバック工程を示す基板断面図である。

【図18】 図17の工程に続くA1合金層形成工程を示す基板断面図である。

【図19】 図18の工程に続くTiN層形成工程を示す基板断面図である。

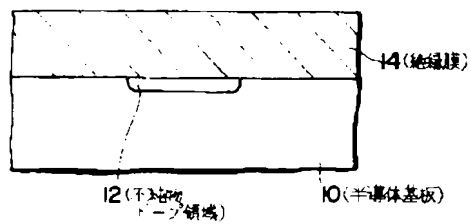
【図20】 図19の工程に続く配線パターンニング工程を示す基板断面図である。

【図21】 従来及びこの発明の配線構造を示す基板断面図である。

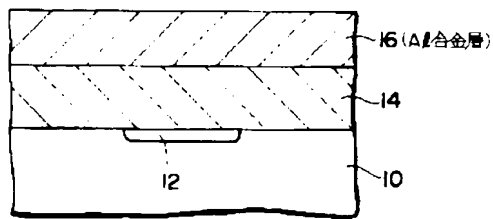
【符号の説明】

10：半導体基板、12：不純物ドープ領域、14：絶縁膜、16：A1合金層、18、24：TiN層、20：W層、22：配線層。

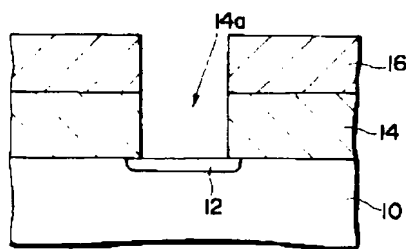
【図1】



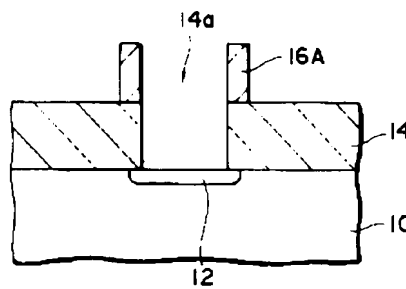
【図2】



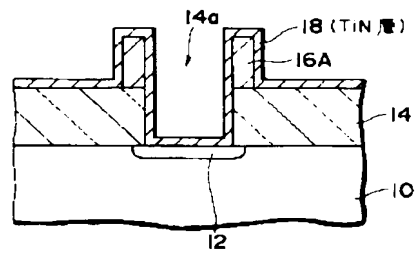
【図3】



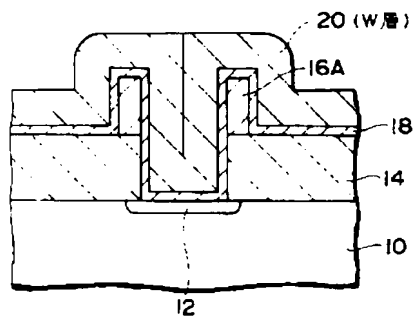
【図4】



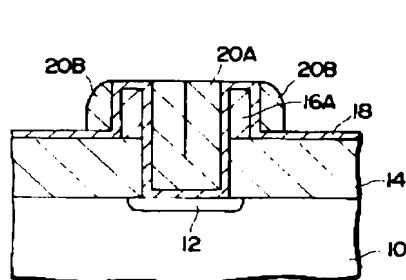
【図5】



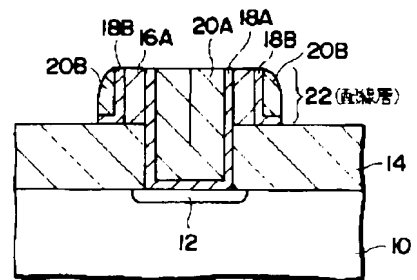
【図6】



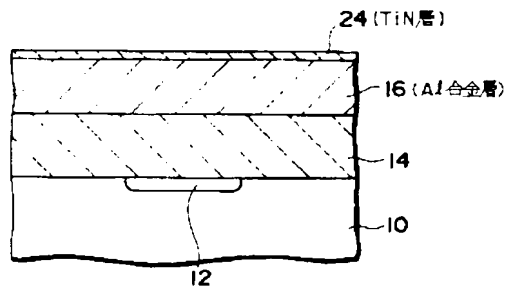
【図7】



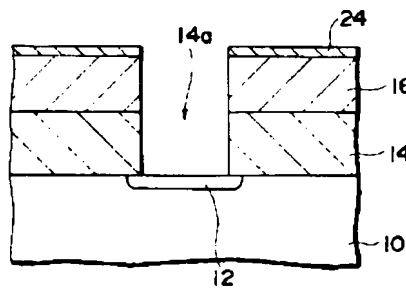
【図8】



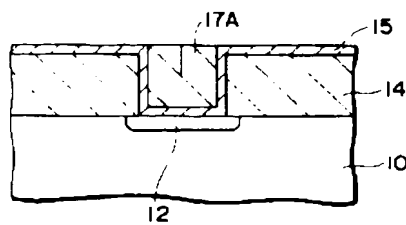
【図9】



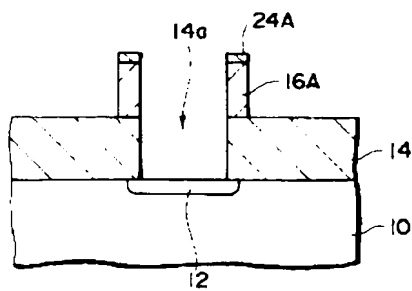
【図10】



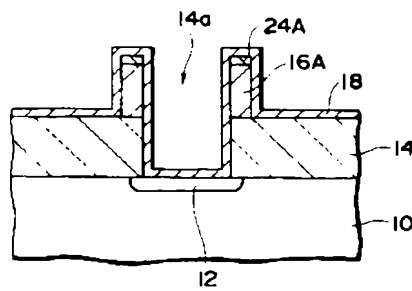
【図11】



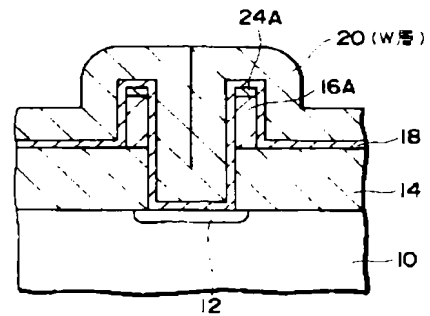
【411】



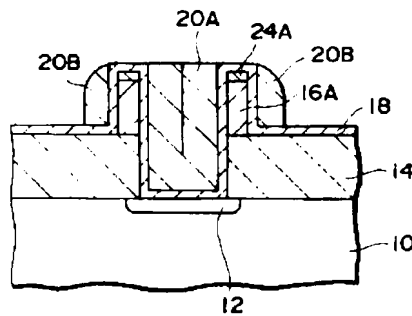
【412】



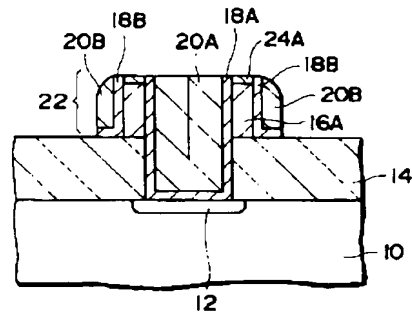
【413】



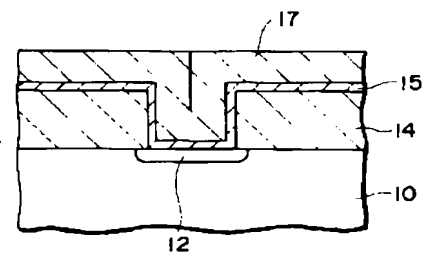
【414】



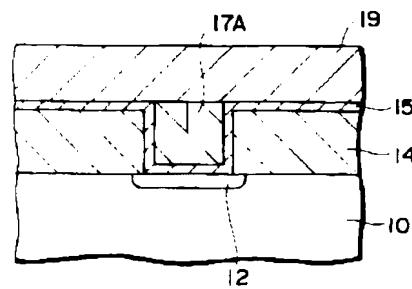
【415】



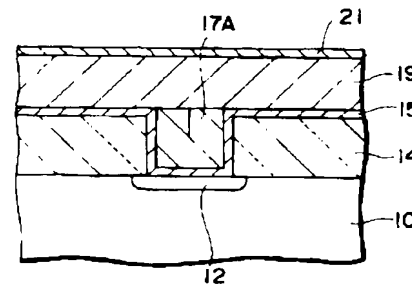
【416】



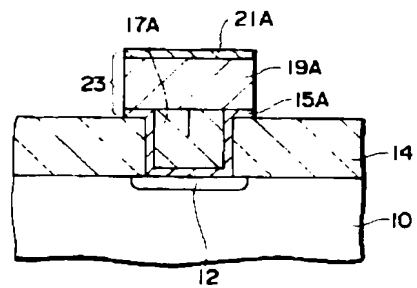
【418】



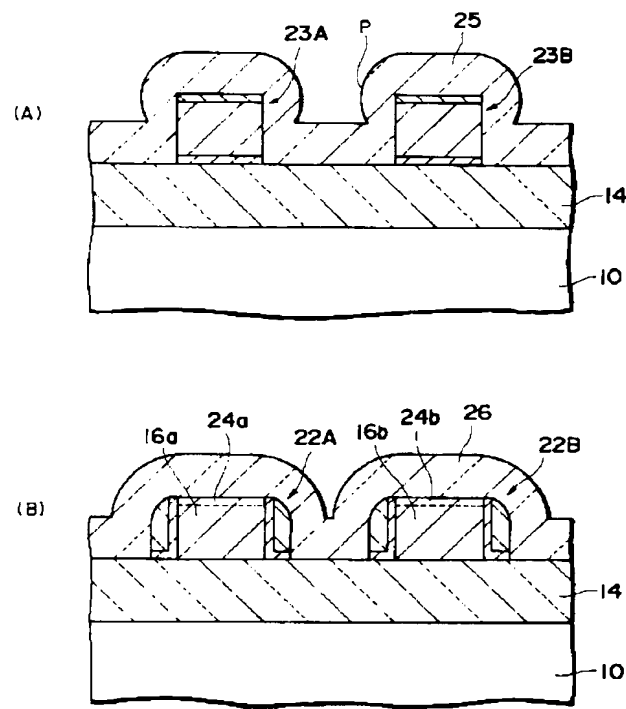
【419】



【420】



【図 21】



フロントページの続き

(51) Int. Cl. 6

識別記号

片内整理番号

F I

H O 1 L 2/88

技術表示箇所

N